

Docket No.: W&B-INF-1973



I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: \_\_\_\_\_

Date: October 29, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/676,588  
Applicant : Peter Beer et al.  
Filed : October 1, 2003  
Art Unit : to be assigned  
Examiner : to be assigned

Docket No. : W&B-INF-1973  
Customer No.: 24131

CLAIM FOR PRIORITY

Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 713.1 filed October 1, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

\_\_\_\_\_  
For Applicants

Date: October 29, 2003

RALPH E. LOCHER  
REG. NO. 41,947

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 45 713.1

**Anmeldetag:** 1. Oktober 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Testsystem und Verfahren zum Testen von Speicherschaltungen

**IPC:** G 11 L 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. September 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

  
Brosig

## Beschreibung

## Testsystem und Verfahren zum Testen von Speicherschaltungen

- 5 Die Erfindung betrifft ein Testsystem zum parallelen Testen von Speicherschaltungen sowie ein Verfahren hierzu.

Der Herstellungsprozess von integrierten Speicherbausteinen umfaßt zwei Testabschnitte. Nach dem vollständigen Prozessieren von integrierten Speicherschaltungen werden die Speicher-  
10 schaltungen zunächst in einem ersten Testabschnitt im unzersägten Zustand auf der Substratscheibe getestet (Frontend-Test). Dieser Test dient dazu, fehlerhafte Speicherzellen bzw. Speicherbereiche zu detektieren und diese, wenn möglich,  
15 durch funktionsfähige redundant vorgesehene Speicherbereiche zu ersetzen. Dies wird üblicherweise durch das Programmieren von dauerhaft einzustellenden Schaltern (z.B. Fuses) vorgenommen, die den fehlerhaften Speicherbereich abschalten und einen redundant vorgesehenen fehlerfreien Speicherbereich  
20 einschalten und über dieselbe Adresse wie der fehlerhafte Speicherbereich adressierbar machen.

Nach dem Zersägen der Substratscheiben, um einzelne integrierte Speicherschaltungen zu erhalten, werden die vereinzelt  
25 ten Speicherschaltungen jeweils in Gehäuse eingesetzt und über sogenannte Bond-Drähte oder ähnlichem mit den Gehäuseanschlüssen verbunden. Die so gefertigten Speicherbausteine werden in einem zweiten Testabschnitt in dem sogenannten Backend-Test erneut überprüft, um festzustellen, ob bei den dem  
30 Frontend-Test nachfolgenden Herstellungsschritten weitere Fehler aufgetreten sind. Während beim Frontend-Test bei der Fehlerinformation wichtig ist, an welcher Adresse bzw. an welchem Adreßbereich der Fehler aufgetreten ist, um diesen zu reparieren, ist bei Backend-Test nur wesentlich, ob die Speicher-  
35 schaltung vollständig fehlerfrei ist oder nicht. Dies ist ausreichend, da nach dem Einhäusen der integrierten Speicherschaltungen keine Reparatur mehr möglich ist.

Um den Durchsatz der getesteten Speicherschaltungen zu erhöhen, werden die Schaltungen sowohl beim Frontend-Test als auch beim Backend-Test parallel getestet. Die Speicherschaltungen werden dazu über gemeinsame Signalleitungen mit einem Testsystem verbunden. Alle zu testenden Speicherschaltungen sind dabei im Wesentlichen über gemeinsame Leitungen mit dem Testsystem verbunden sind, so dass ein von dem Testsystem angelegtes Signal an allen angeschlossenen Speicherschaltungen anliegt. Lediglich zum Auslesen des Testergebnisses ist es möglich, die Daten einzeln aus den angeschlossenen integrierten Speicherschaltungen auszulesen.

Zum Unterstützen des Testens weisen die integrierten Speicherschaltungen üblicherweise sogenannte BIST-Schaltkreise (Built in Self-Test) auf, mit denen Testdaten innerhalb der Speicherschaltungen generiert werden können, so dass die Speicherschaltungen nach Start eines Testverfahrens mit selbstgenerierten Testdaten beschrieben werden.

Da alle integrierten Speicherschaltungen mit gemeinsamen Signalleitungen verbunden sind, wird das Beschreiben mit Testdaten gleichzeitig in allen integrierten Speicherschaltungen durchgeführt. Da man jedoch von jeder einzelnen der Speicherschaltung die jeweils zugeordnete Fehlerinformation benötigt, sind die Signalleitungen für die zwischen Testsystem und Speicherschaltung zu übermittelnden Daten für jede der Speicherschaltungen üblicherweise einzeln geführt. Auf diese Weise wird das bewertete Ergebnis über Datensignalleitungen parallel an das Testsystem übertragen.

Es ist Aufgabe der vorliegenden Erfindung, ein Testsystem und ein Testverfahren zur Verfügung zu stellen, mit der das Testen von integrierten Speicherschaltungen sowohl im Frontend- als auch im Backendtest beschleunigt werden kann.

Diese Aufgabe wird durch das Testsystem nach Anspruch 1 und das Verfahren nach Anspruch 5 gelöst.

5 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

10 Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein Testsystem zum parallelen Testen einer ersten und einer zweiten Speicherschaltung vorgesehen. Das Testsystem weist eine Testereinheit auf, mit der die erste und die zweite Speicherschaltung verbunden sind, um die erste und die zweite Speicherschaltung abhängig von einem der Testereinheit generierten Schaltungsauswahlsignal für das Empfangen von Signalen zu aktivieren. Die erste und die zweite Speicherschaltung weisen  
15 jeweils eine Datengeneratorschaltung auf, um Testdaten zum Beschreiben von Speicherzellen der Speicherschaltungen zu generieren. Die erste und die zweite Speicherschaltung sind mit der Testereinheit so verbunden, um das Schaltungsauswahlsignal gleichzeitig invertiert an die erste Speicherschaltung  
20 und nicht-invertiert an die zweite Speicherschaltung anzulegen.

25 Das erfindungsgemäße Testsystem hat den Vorteil, dass bei einem von dem Testsystem gemeinsam generierten Schaltungsauswahlsignal nur entweder die erste oder die zweite Speicherschaltung aktiviert wird, so dass nur eine der Speicherschaltungen zum Empfang von weiteren Testbefehlen bereit ist. D.h. durch einen Zustandswechsel des Schaltungsauswahlsignals wird eine der Speicherschaltungen deaktiviert und die jeweils andere Speicherschaltung aktiviert. Das Schaltungsauswahlsignal ist so ausgelegt, dass es die gesamte Speicherschaltung auswählt und erst dadurch das Empfangen von Defekten, insbesondere Testbefehlen, ermöglicht. Auf diese Weise kann durch ein Umschalten des Schaltungsauswahlsignals die erste und die  
30 zweite Speicherschaltung abwechselnd mit Testbefehlen angesteuert werden. So wird nach dem Starten eines Vorgangs in der ersten Speicherschaltung das Schaltungsauswahlsignal ge-

35

ändert und Testbefehle an die zweite Speicherschaltung angelegt bzw. Daten aus der zweiten Speicherschaltung ausgelesen, während in der ersten Speicherschaltung ein internes Beschreiben von Speicherbereichen gesteuert durch die Testdatengeneratorschaltung (BIST-Schaltung) durchgeführt wird.

Erfindungsgemäß ist ein Verfahren zum Testen einer ersten und einer zweiten Speicherschaltung vorgesehen. Die Speicherschaltungen sind abhängig von einem Schaltungsauswahlsignal aktivierbar. Zum Testen der Speicherschaltungen wird das Schaltungsauswahlsignal an die erste Speicherschaltung und das invertierte Schaltungsauswahlsignal an die zweite Speicherschaltung angelegt, so dass abhängig von dem Schaltungsauswahlsignal in der ersten oder in der zweiten Speicherschaltung eine Funktion ausgelöst wird.

Es ist also vorgesehen, Testbefehle verschachtelt an die erste und an die zweite Speicherschaltung zu senden, so dass ein Abarbeiten einer Testfunktion innerhalb der integrierten Speicherschaltung durchgeführt wird, wenn Testbefehle an die jeweils andere Speicherschaltung gesendet werden bzw. Daten aus der jeweils anderen Speicherschaltung ausgelesen werden. So kann beispielsweise die in den Speicherschaltungen enthaltene Testdatengeneratorschaltung angewiesen werden, Testdaten in einen Speicherbereich hineinzuschreiben. Sobald der entsprechende Befehl an eine der Speicherschaltungen gesendet ist, können während dieser Zeit, nämlich während die interne Testdatengeneratorschaltung Testdaten in einen Speicherbereich hineinschreibt, Testdaten aus jeweils anderen Speicherschaltungen ausgelesen werden und die daraus aus einem Vergleichen mit Soll-Daten ermittelten Fehlerdaten an die angeschlossene Testereinrichtung übertragen werden. Auf diese Weise läßt sich die Testzeit erheblich reduzieren, weil das jeweilige Beschreiben und Auslesen von Speicherbereichen in den integrierten Speicherschaltungen verschachtelt abläuft. Dadurch werden nahezu unmittelbar nacheinander Fehlerdaten

der ersten Speicherschaltung und Fehlerdaten von der zweiten Speicherschaltung an das Testsystem übertragen.

Insbesondere ist dieses Verfahren geeignet die Retentions-  
5 Zeit mit Hilfe eines sogenannten March-12-Testverfahrens zu  
charakterisieren. Die Retentionszeit ist die Zeit, in der die  
Information einer DRAM-Speicherzelle zuverlässig ausgelesen  
werden kann, wenn inzwischen der Inhalt der Speicherzelle  
10 nicht aufgefrischt wird. Das March-12-Testverfahren sieht  
vor, den Speicherbereich vollständig mit einem Testdatum zu  
beschreiben und anschließend bereichsweise auszulesen und mit  
einem inversen Datum wieder zu beschreiben. Dies wird durch-  
geführt, bis jeder Speicherbereich der integrierten Speicher-  
15 schaltungen zweimal mit dem inversen Datum beschrieben worden  
ist, so dass bei Fehlerfreiheit die ursprünglichen Daten in  
den Speicherbereichen gespeichert sind. Bei einem solchen  
Testablauf wechseln sich Schreib- und Lesevorgänge für die  
einzelnen Speicherbereiche ab, so dass das March-12-  
20 Testverfahren geeignet ist, die ersten und zweiten Speicher-  
schaltungen verschachtelt anzusprechen.

Vorteilhafterweise ist vorgesehen, dass eine der Speicher-  
schaltungen mit der Testereinheit über eine Invertereinheit  
verbunden ist. Üblicherweise wird das Schaltungsauswahlsignal  
25 über eine Leitung den angeschlossenen zu testenden integrier-  
ten Schaltungen zur Verfügung gestellt. Um die Speicherschalt-  
ungen wechselweise anzusprechen, kann vorgesehen sein, zwi-  
schen dem Anschluß der ersten Speicherschaltung und dem  
Anschluß der zweiten Speicherschaltung für das Schaltungsaus-  
30 wahlsignal einen Inverter vorzusehen.

Die Erfindung wird im folgenden anhand einer bevorzugten Aus-  
führungsform mit Hilfe der beigefügten Zeichnungen näher er-  
läutert. Es zeigen:

35

Fig. 1 ein Testsystem zum Testen eines Chips gemäß dem Stand  
der Technik;

Fig. 2 ein Flußdiagramm zur Veranschaulichung eines Testablaufs gemäß einem herkömmlichen March-12-Verfahren;

- 5 Fig. 3 ein Testsystem zum Testen von zwei Chips gemäß einer Ausführungsform der Erfindung; und

Fig. 4 ein Flußdiagramm zur Veranschaulichung eines erfindungsgemäßen Testverfahrens für einen March-12-Testablauf.

10

In Fig. 1 ist schematisch ein Testsystem dargestellt, bei dem eine Testereinrichtung 1 mit einem zu testenden integrierten synchronen DRAM-Speicherbaustein 2, der ein Speicherzellenfeld aufweist, verbunden ist. Die Verbindung mit dem integrierten Speicherbaustein 2 erfolgt über Signalleitungen 3, um den Speicherbaustein 2 mit Steuersignalen, Datensignalen und Adresssignalen zu versorgen. Die Steuersignale sind beispielsweise das Taktsignal CLK, das Wortleitungsaktivierungssignal RAS, das Bitleitungsaktivierungssignal CAS, das Schreibsignal WE, das Schaltungsauswahlsignal CS und das Taktaktivierungssignal TKE. Die Signale werden zum Ansteuern an die Speicherschaltung angelegt und mit der steigenden Flanke des Taktsignals CLK übernommen.

20

25

Die von der Testeinrichtung 1 generierten Datensignale werden an die Datenein-/ausgänge DQ0-DQ3 angelegt. Die Adresssignale werden an die Adresseingänge A0-A5 angelegt. An die Testereinrichtung 1 können auch mehr als ein integrierter Speicherbaustein angeschlossen sein. Im wesentlichen werden dann alle Signalleitungen parallel auf gleiche Weise auch mit den übrigen Speicherbausteinen verbunden. Lediglich die Datenausgänge der integrierten Speicherbausteine werden über getrennte Leitungen an die Testereinrichtung 1 geführt, um eine Parallelität beim Testen der integrierten Speicherschaltungen zu erhalten.

30

35



Die Testeinrichtung 1 schreibt Daten in den Speicherbaustein 2 auf folgende Weise: Zunächst muss das Schaltungsauswahlsignal CS aktiviert werden, damit der Speicherbaustein 2 die weiteren anliegenden Steuersignale detektiert. Bei der steigenden Taktflanke wird mit dem aktivierten Wortleitungsaktivierungssignals RAS eine erste Adresse, im folgenden X-Adresse genannt, über die Adresseingänge A0-A5 eingelesen. Die X-Adresse bestimmt die Position der zu aktivierenden Wortleitung in dem Speicherzellenfeld der Speicherschaltung 2.

Nach dem Aktivieren der Wortleitung wird das Bitleitungsaktivierungssignal CAS sowie das Schreibsignal WE ebenfalls aktiviert, wobei mit Hilfe des Bitleitungsaktivierungssignals CAS eine weitere Adresse, die sogenannte Y-Adresse, in die integrierte Speicherschaltung 2 übernommen wird. Die Y-Adresse, auch Bitleitungsadresse genannt, bestimmt den Schreibleseverstärker, über den die anliegenden Daten in die Speicherzellen geschrieben werden sollen. Das Schreibsignal WE dient zum Ansteuern der Schreibleseverstärker, so dass diese zum Schreiben in die Speicherzellen geschaltet sind. Nach einer bestimmten, zum Schreiben notwendigen Zeitdauer, werden Wortleitungsaktivierungssignal RAS und Bitleitungsaktivierungssignal CAS deaktiviert, und der Schreibvorgang ist abgeschlossen. Die Steuersignale werden immer mit der steigenden Flanke des Taktsignals CLK übernommen.

Beim Auslesen von Daten aus dem Speicherbaustein 2 muß zunächst ebenfalls das Schaltungsauswahlsignal CS aktiviert und anschließend das Wortleitungsaktivierungssignal RAS aktiviert werden, so dass die in den Speicherzellen gespeicherte Information als Ladung auf die Bitleitungen fließt. Die an den Bitleitungen angeordneten Ausleseverstärker verstärken die Ladung, so dass an den Ausleseverstärkern das in den Speicherzellen gespeicherte Datum abgreifbar ist. Bei aktivierten Wortleitungsaktivierungssignals RAS wird mit der steigenden Taktflanke ebenfalls, wie beim Schreibvorgang, eine erste X-

Adresse über die Adresseingänge A0-A5 übernommen. Anschließend wird bei weiterhin deaktiviertem Schreibsignal WE das Bitleitungsaktivierungssignal aktiviert, so dass eine Bitleitungsadresse (y-Adresse), die dann an die Adresseingänge angelegt ist, übernommen wird, so dass der Ausleseverstärker, der mit den adressierten Speicherzellen verbunden ist, das ausgelesene Datum auf die Datenein/-ausgänge DQ0-DQ3 anlegt. Diese Daten sind dann über die Testeinrichtung 1 auslesbar.

Der Speicherbaustein 2 enthält weiterhin eine Testdatengeneratorschaltung 4, die in der Lage ist, abhängig von einem von der Testeinrichtung 1 über die Signalleitungen 3 gesendeten Befehl Testdaten zum Beschreiben des Speicherzellenfeldes des Speicherbausteins 2 zu generieren. Sobald ein entsprechender Testbefehl empfangen worden ist, schreibt also die Testdatengeneratorschaltung 4 gemäß dem zuvor beschriebenen Ablauf Testdaten in den gesamten Speicher oder in einen durch eine von der Testeinrichtung vorgegebene Adresse ausgewählten Speicherbereich. Das Wortleitungsaktivierungssignal RAS, das Bitleitungsaktivierungssignal CAS und das Schreibsignal WE werden intern generiert und an das Speicherzellenfeld angelegt. Gleichzeitig werden die von der Testeinrichtung gesendeten Signale ignoriert. Dadurch ist es nicht notwendig, dass die Testeinrichtung zu schreibende Testdaten über die Signalleitungen 3, insbesondere die Datenleitungen, senden muss, so dass der durch die Signalleitungen 3 gebildete Testdatenbus nicht mit dem Übertragen von Daten belastet ist.

In Fig. 2 ist ein Flußdiagramm eines Testablaufs für ein March-12-Testverfahren dargestellt. Bei diesem Testverfahren ist vorgesehen, dass zunächst der gesamte Speicher mit Testdaten beschrieben werden (Schritt S1). Diese Testdaten werden anschließend bereichsweise ausgelesen, wobei ein Fehler erkannt wird, wenn die hineingeschriebenen Daten und die aus dem Speicherbereich ausgelesenen Daten nicht übereinstimmen. Nach dem Auslesen der Daten aus einem Speicherbereich

(Schritt S2) werden die Testdaten bitweise invertiert und erneut in den jeweiligen Speicherbereich hineingeschrieben (Schritt S3). Dies wird entsprechend der Abfrage des Schrittes S4 solange durchgeführt, bis nacheinander alle Speicherbereiche des Speichers ausgelesen und erneut mit den jeweils inversen Daten beschrieben worden sind. Anschließend werden erneut die in den Speicherbereichen gespeicherten Testdaten ausgelesen (Schritt S5), bitweise invertiert und erneut in den jeweiligen Speicherbereich in Schritt S6 hineingeschrieben. Dies wird gemäß der Abfrage in Schritt S7 solange durchgeführt, bis alle Speicherbereiche der Reihe nach ausgelesen und beschrieben worden sind. Anschließend wird der gesamte Speicher ausgelesen und mit den hineingeschriebenen Daten verglichen (Schritt S8).

Bei den Schritten S1 bis S8 wird das Auslesen, invertieren der Testdaten und das erneute Hineinschreiben mit aufsteigenden Adresswerten für alle Speicherbereiche durchgeführt. Der March-12-Testablauf sieht vor, diesen Test zunächst mit aufsteigenden Adressfolgen für alle Speicherbereiche und anschließend mit absteigenden Adressfolgen für alle Speicherbereiche durchzuführen. So schließen sich an Schritt S8 die Schritte S9 bis S16 an, die im wesentlichen zu den Schritten S1 bis S8 identisch sind, wobei jedoch das Auslesen der Speicherbereiche mit dem Speicherbereich der höchsten Adresse begonnen wird und mit der niedrigsten Adresse endet, also umgekehrt wie bei dem ersten Teil des Testablaufs gemäß den Schritten S1 bis S8.

Dieser Testablauf wird mit Hilfe der Testdatengeneratorschaltung 4 gesteuert. Die Testdatengeneratorschaltung 4 wird genutzt, um den Speicher mit vorgegebenen Testdaten zu beschreiben, gemäß den Schritten S1 und S9. Die Testdatengeneratorschaltung 4 generiert die zu schreibenden Testdaten und stellt bei einem Auslesen der Testdaten Vergleichsdaten zur Verfügung, um die ausgelesenen Testdaten mit den zuvor in die Speicherzellen hineingeschriebenen Daten zu vergleichen.

Da die Testdaten vollständig im Inneren des integrierten Speicherbausteins generiert werden, entfällt das Übertragen von in das Speicherzellenfeld 6 hineinzuschreibenden Testmusterdaten von der Testereinrichtung an den zu testenden Speicherbaustein. Beim Auslesen werden gesteuert durch die Testdatengeneratorschaltung 4 die ausgelesenen Daten mit den zuvor hineingeschriebenen Daten z.B. in einer (nicht gezeigten) Vergleichereinheit verglichen und daraus eine Fehlerinformation generiert, die angibt, ob sich die hineingeschriebenen und ausgelesenen Daten voneinander unterscheiden.

Die Fehlerdaten müssen zur Auswertung an die Testereinrichtung 1 übertragen werden, damit die Testereinrichtung 1 feststellen kann, an welcher Stelle bzw. in welchem Speicherbereich des Speicherbausteins ein Fehler aufgetreten ist. Dies ist notwendig, damit die Testereinrichtung eine Redundanzberechnung durchführen kann, deren Ergebnis angibt, wie der defekte Speicherbereich durch einen redundanten nicht defekten Speicherbereich ersetzt werden soll.

So werden die Datenleitungen zwischen dem zu testenden Speicherbaustein und der Testereinrichtung 1, d.h. die Signalleitungen, die mit den Datenein/-ausgängen DQ0-DQ3 verbunden sind, nur zum Auslesen von Fehlerdaten genutzt. Chipintern kann nicht parallel geschrieben und ausgelesen werden. Da die Generierung von Testdaten durch die interne Testdatengeneratorschaltung und das Hineinschreiben der Testdaten in die betreffenden Speicherbereiche ebenfalls Zeit in Anspruch nimmt, kann während dieser Zeit der Testdatenbus nicht für das Auslesen von Fehlerdaten an die Testereinrichtung genutzt werden.

In Fig. 3 ist ein Testsystem gemäß einer bevorzugten Ausführungsform der Erfindung dargestellt. Es weist ebenfalls die Testeinrichtung 1 auf, die über die Signalleitungen 3 mit einem ersten zu testenden Speicherbaustein 2 und einem zweiten

zu testenden Speicherbaustein 5 verbunden ist. Bis auf die Signalleitung des Schaltungsauswahlsignals CS sind alle Anschlüsse der zu testenden Speicherbausteine 2,5 mit gleicher Funktion über dieselben Signalleitungen mit der Testereinrichtung 1 verbunden. Die Signalleitung für das Schaltungsauswahlsignal CS weist einen Inverter 7 zwischen den entsprechenden Anschlüssen des ersten und des zweiten Speicherbausteins auf, so dass das Schaltungsauswahlsignal CS an dem ersten Speicherbaustein 2 nicht-invertiert und an dem zweiten Speicherbaustein 5 invertiert anliegt.

Auf diese Weise wird erreicht, dass die Testereinrichtung 1 immer einen der beiden angeschlossenen Speicherbausteine aktiviert hält während der jeweils andere deaktiviert ist. Die anliegenden Steuersignale werden dann nur von dem Speicherbaustein akzeptiert, wenn an dessen Signaleingang für das Schaltungsauswahlsignal CS der entsprechende Zustand anliegt. Befindet sich das Schaltungsauswahlsignal auf einem High-Zustand, so liegt an dem ersten Speicherbaustein 2 ebenfalls ein High-Zustand an dem Eingang für das Schaltungsauswahlsignal CS an. Dadurch ist der erste Speicherbaustein deaktiviert, da das Schaltungsauswahlsignal CS ein Low-active-Signal ist.

Gleichzeitig liegt an dem Signaleingang für das Schaltungsauswahlsignal CS des zweiten Speicherbausteins 5 ein Low-Zustand an, wodurch der zweite Speicherbaustein 5 zum Empfangen von Steuersignalen über die übrigen Signaleingänge aktiviert ist. Wechselt der Zustand des Schaltungsauswahlsignals CS von dem High-Zustand auf den Low-Zustand so wird der erste Speicherbaustein 2 zum Empfangen von Steuersignalen aktiviert, während der zweite Speicherbaustein 5 deaktiviert wird.

In Fig. 4 ist ein Flußdiagramm für eine Ausführungsform des erfindungsgemäßen Verfahrens dargestellt. Das Verfahren wird mit Hilfe der in Fig. 3 dargestellten Ausführungsform für das

erfindungsgemäße Testsystem durchgeführt. Voraussetzung ist also ein erster Speicherbaustein 2 und ein zweiter Speicherbaustein 5, die an eine Testereinrichtung 1 angeschlossen sind, wobei das Schaltungsauswahlsignal CS an dem zweiten Speicherbaustein 5 invertiert angelegt ist.

Gemäß dem ersten Schritt S20 wird zunächst der gesamte Speicher des ersten Speicherbausteins 2 beschrieben. Dazu wird das Schaltungsauswahlsignal CS auf einen Low-Zustand gebracht, wodurch der erste Speicherbaustein 2 zum Empfangen von Testsignalen aktiviert ist. Die Testereinrichtung 1 sendet an den ersten Speicherbaustein 2 dann Testsignale, die die Testdatengeneratorschaltung 4 aktivieren, um den gesamten Speicher mit Testdaten gemäß einem March-12-Verfahren zu beschreiben. Während des Beschreibens des ersten Speicherbausteins 2 wird keine Lese- oder Schreiboperation in dem zweiten Speicherbaustein 5 durchgeführt. Die Testdaten können z.B. Daten gemäß eines Checkerboard-Musters oder ausschließlich logische Nullen bzw. logische Einsen sein. Auch andere Testdatenmuster sind denkbar.

Unmittelbar nach dem Starten des globalen Schreibens der Testdaten in das Speicherzellenfeld des ersten Speicherbausteins 2 wird das Schaltungsauswahlsignal CS von dem Low-Zustand auf den High-Zustand gebracht, wodurch der erste Speicherbaustein deaktiviert wird und der zweite Speicherbaustein 5 aktiviert wird. Da das Schaltungsauswahlsignal CS nur die Übernahme von Testsignalen in den Speicherbaustein kontrolliert, wird das globale Beschreiben des Speicherzellenfeldes des ersten Speicherbausteins 2 nicht durch den Wechsel des Schaltungsauswahlsignals CS gestoppt.

Nach dem Aktivieren des zweiten Speicherbausteins 5 wird auch dort die Testdatengeneratorschaltung 4 angewiesen, den Speicher global mit durch die Testdatengeneratorschaltung generierten Testdaten gemäß eines zuvor ausgewählten Testverfahrens zu beschreiben (Schritt S21).

Die Schritte S20 und S21 können alternativ auch verschachtelt durchgeführt werden, d.h. dass gemäß einem Burstzugriff zunächst eine Burst-Startadresse an den ersten Speicherbaustein 2 übergeben wird und während des Beschreibens eines durch die Burst-Startadresse definierten Speicherbereiches mit Testdaten ein Schreibvorgang in einen durch eine weitere Burst-Startadresse bestimmten Speicherbereich im zweiten Speicherbaustein 5 vorgenommen wird. So kann im wesentlichen das globale Beschreiben des ersten Speicherbausteins 2 und des zweiten Speicherbausteins 5 parallel durchgeführt werden.

Nach dem das globale Beschreiben des ersten Speicherbausteins 2 nach einer festgelegten dafür benötigten Zeitdauer beendet ist, wird zunächst ein Speicherbereich des ersten Speicherbausteins 2 ausgelesen (Schritt S22). Die ausgelesenen Testdaten werden bitweise invertiert und in den entsprechenden Speicherbereich des ersten Speicherbausteins 2 zurückgeschrieben (Schritt 23).

In Schritt S24 wird dann durch Umschalten des Schaltungswahlsignals CS der zweite Speicherbaustein 5 aktiviert (und der erste Speicherbaustein 2 deaktiviert) und aus einem der Speicherbereiche Testdaten ausgelesen. Es wird dabei nicht abgewartet bis der in Schritt S23 gestartete Schreibvorgang in einen Speicherbereich des ersten Speicherbausteins 2 beendet ist, sondern sobald der Schreibvorgang gestartet ist wird zu Schritt S24 gesprungen, um die dort gespeicherten Testdaten aus dem betreffenden Speicherbereich auszulesen. Auf diese Weise laufen die Verfahrensschritte S23 in dem ersten Speicherbaustein und dem Verfahrensschritt S24 in dem zweiten Speicherbaustein 5 im wesentlichen gleichzeitig ab.

In einem Schritt S25 werden die aus dem Speicherbereich des zweiten Speicherbausteins 5 ausgelesenen Testdaten bitweise invertiert und erneut in den entsprechenden Speicherbereich des zweiten Speicherbausteins 5 hineingeschrieben. Das bit-

weise Invertieren der Testdaten und das Hineinschreiben der modifizierten Daten in den zweiten Speicherbaustein 5 erfolgt ohne Zutun der Testereinrichtung 1, so dass die Testereinrichtung 1 nun durch erneutes Umschalten des Schaltungsauswahlsignals CS einen Testbefehl an den ersten Speicherbaustein 2 senden kann, ohne den Schreibvorgang in dem zweiten Speicherbaustein zu unterbrechen oder zu stören. Es wird in einem Schritt S26 ein erneuter Auslesebefehl für einen Speicherbereich gesendet, dessen Adresse die um einen Adressschritt erhöhte Adresse des zuvor in Schritt S22 ausgelesenen Speicherbereichs ist.

In einem Schritt S27 wird abgefragt, ob nun der letzte adressierbare Speicherbereich des ersten Speicherbausteins 2 ausgelesen worden ist. Sind noch weitere Speicherbausteine auszulesen, so werden die ausgelesenen Daten erneut bitweise invertiert und modifiziert in den entsprechenden Speicherbereich zurückgeschrieben. Die Schritte S23 bis S26 werden solange durchgeführt, bis keine weiteren Speicherbereiche gemäß dem Zyklus Auslesen-Modifizieren-Beschreiben zu bearbeiten sind.

Ist der letzte adressierbare Speicherbereich des ersten Speicherbausteins 2 ausgelesen worden, so wird in einem nachfolgenden Schritt S28 eine bitweise Invertierung der ausgelesenen Testdaten aus dem ersten Speicherbaustein 2 und ein Hineinschreiben dieser modifizierten Testdaten in den letzten adressierbaren Speicherbereich vorgenommen (Schritt S28). Anschließend werden in den Schritten S29 und S30 die in die Speicherbausteine 2,5 geschriebenen Daten global ausgelesen.

Wesentlich bei dem erfindungsgemäßen Verfahren ist, dass der Schreibbefehl zum Hineinschreiben der modifizierten Testdaten durch die Testdatengeneratorschaltung 4 im Wesentlichen zeitnah, insbesondere kurz bevor, zu einem Auslesebefehl für einen Speicherbereich für den jeweils anderen Speicherbaustein von der Testereinrichtung gesendet wird. Dann laufen die je-



weiligen Prozesse in dem ersten Speicherbaustein 2 und dem zweiten Speicherbaustein 5 im Wesentlichen parallel, nämlich das Schreiben von Testdaten in einen Speicherbereich eines Speicherbausteins und das Auslesen von Fehlerdaten aus einem Speicherbereich des jeweils anderen Speicherbausteins.

Dies ist möglich, da der Testdatenbus nur zum Auslesen von Fehlerdaten verwendet wird, nicht jedoch zum Übertragen von zu verwendendem Testdaten an die Speicherbausteine. Im Kern sieht die Erfindung daher vor, Testbefehle an den ersten Speicherbaustein 2 und an den zweiten Speicherbaustein 5 verschachtelt zu senden, um so die Zeiten, in denen die Datenleitung beim einfachen Testen nicht genutzt werden würde, für die Übertragung von Fehlerdaten eines jeweils anderen zu testenden Speicherbausteins zu nutzen.

Auf diese Weise beträgt die Zeitdauer zum Testen von zwei so der Testeinrichtung angeschlossene integrierte Speicherbausteine nur geringfügig mehr als die Zeit die man zum Testen eines Speicherbausteins nach dem herkömmlichen Verfahren benötigt.

Für die Testereinrichtung ist zu beachten, dass bei einem Schreibzugriff nur die Burst-Startadresse übergeben wird. Bei einem Auslesevorgang muß zusätzlich während des Bursts auch die Y-Adresse richtig in der Testeinrichtung mitgezählt werden, um die Fehler in einem Fehleradressenspeicher der Testereinrichtung 1 richtig abzuspeichern. Dies ist allerdings nur bei dem Frontend-Test notwendig, da nur dort es notwendig ist, dass die Adresse, in der der Fehler aufgetreten ist, in der Testeinrichtung 1 zur Verfügung steht. Die Adresse dient dann zur Berechnung einer Redundanzlösung für die Reparatur des fehlerhaften Speichers.

Nach der Reparatur der Speicherschaltung ist beim Backend-Testverfahren nur noch die Fehlerdateninformation notwendig,

die angibt, ob der Speicherbaustein funktionsfähig oder fehlerhaft ist.

Im Backend-Test ist es im Unterschied zum Frontend-Test nicht  
5 notwendig, die Fehlerdaten für jede Adresse des ausgelesenen  
Speicherbereichs an die Testeinrichtung 1 zu übertragen. Da  
jedoch im Inneren der integrierten Speicherbausteine Lese-  
und Schreibzugriffe auch dann durchgeführt werden müssen,  
wenn lediglich die Fehlerfreiheit des jeweiligen zu testenden  
10 integrierten Speicherbausteins überprüft werden muß, sind  
sich die Testverfahren für das Frontendtesten und das Ba-  
ckend-Testen im wesentlichen ähnlich. Es unterscheidet sich  
lediglich dadurch, dass beim Backendtest die an die Tester-  
einrichtung zu übertragenden Fehlerdaten nicht einer Adresse  
15 zugeordnet werden müssen.

## Patentansprüche

1. Testsystem zum parallelen Testen einer ersten und einer zweiten Speicherschaltung (2,5) mit einer Testereinheit (1), wobei die erste und die zweite Speicherschaltung (2,5) mit der Testereinheit (1) verbunden sind, um die erste und die zweite Speicherschaltung (2,5) abhängig von einem von der Testereinheit (1) generierten Schaltungsauswahlsignal (CS) für das Empfangen von Signalen zu aktivieren,  
wobei die erste und die zweite Speicherschaltung (2,5) jeweils eine Testdatengeneratorschaltung (4) aufweist, um Testdaten zum Beschreiben von Speicherzellen der Speicherschaltungen (2,5) zu generieren,  
dadurch gekennzeichnet, dass  
die erste Speicherschaltung (2) und die zweite Speicherschaltung (5) mit der Testereinheit(1) so verbunden sind, um das Schaltungsauswahlsignal (CS) gleichzeitig invertiert an die erste Speicherschaltung (2) und nicht-invertiert an die zweite Speicherschaltung (5) anzulegen.
2. Testsystem nach Anspruch 1, dadurch gekennzeichnet, dass die erste Speicherschaltung (2) mit der Testereinheit (1) über eine Invertereinheit verbunden ist.
3. Testsystem nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass mehrere erste Speicherschaltungen (2) und/oder mehrere zweite Speicherschaltungen (5) vorgesehen sind.
4. Testsystem nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die erste und/oder die zweite Speicherschaltung (2,5) eine DRAM-Speicherschaltung umfasst.
5. Verfahren zum Testen einer ersten und einer zweiten Speicherschaltung (2,5),  
wobei die Speicherschaltungen (2,5) abhängig von einem Schaltungsauswahlsignal (CS) aktivierbar sind,

wobei an die erste und die zweite Speicherschaltung (2,5) ein Steuersignal anlegbar ist,

wobei durch das Steuersignal abhängig von dem Aktivieren der ersten oder der zweiten Speicherschaltung eine Funktion in der jeweiligen Speicherschaltung ausgelöst wird, wobei zum Testen der Speicherschaltungen (2,5) das Schaltungsauswahlsignal (CS) an die erste Speicherschaltung (2) und das invertierte Schaltungsauswahlsignal ( $\overline{\text{CS}}$ ) an die zweite Speicherschaltung (5) angelegt wird, so dass abhängig von dem Schaltungsauswahlsignal (CS) die Funktion in der ersten oder in der zweiten Speicherschaltung (2,5) ausgelöst wird.

6. Verfahren nach Anspruch 5, wobei das Steuersignal an einen Signaleingang der Speicherschaltung (2,5) angelegt wird.

7. Verfahren nach Anspruch 5 oder 6, wobei das Schaltungsauswahlsignal (CS) auf einen ersten Zustand gesetzt wird, wenn die erste Speicherschaltung (2) aktiviert werden soll, wobei im ersten Zustand die zweite Speicherschaltung (5) deaktiviert ist, und wobei das Schaltungsauswahlsignal ( $\overline{\text{CS}}$ ) auf einen zweiten Zustand gesetzt wird, wenn die zweite Speicherschaltung (5) aktiviert werden soll, wobei im zweiten Zustand die erste Speicherschaltung (2) deaktiviert ist.

8. Verfahren nach einem der Ansprüche 5 bis 7, wobei das Steuersignal mindestens eines der Signale aus der Gruppe RAS-Signal, CAS-Signal und WE-Signal umfaßt.

## Zusammenfassung

## Testsystem und Verfahren zum Testen von Speicherschaltungen

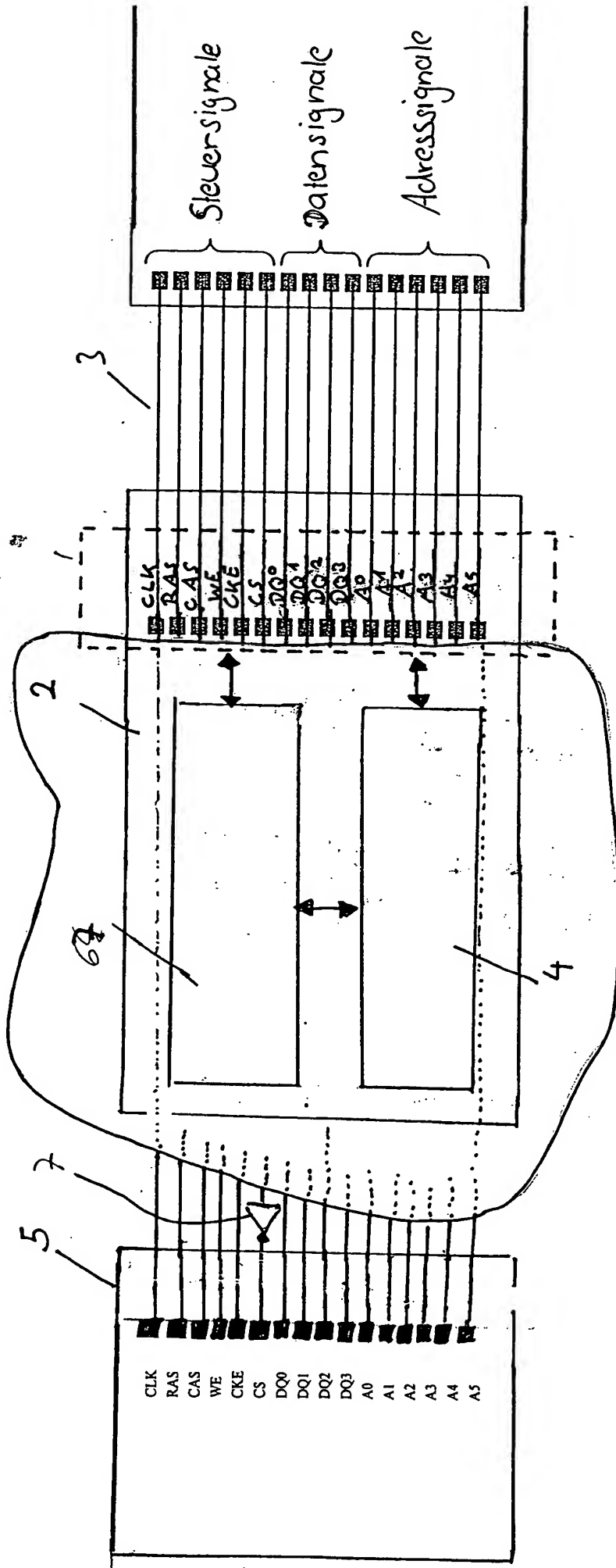
5

Die Erfindung betrifft ein Verfahren zum Testen einer ersten und einer zweiten Speicherschaltung (2,5), wobei die Speicherschaltungen (2,5) abhängig von einem Schaltungsauswahlsignal (CS) aktivierbar sind, wobei an die erste und die zweite Speicherschaltung (2,5) ein Steuersignal anlegbar ist, wobei durch das Steuersignal abhängig von dem Aktivieren der ersten oder der zweiten Speicherschaltung (2,5) eine Funktion in der jeweiligen Speicherschaltung (2,5) ausgelöst wird, wobei zum Testen der Speicherschaltungen (2,5) das Schaltungsauswahlsignal (CS) an die erste Speicherschaltung und das invertierte Schaltungsauswahlsignal ( $\overline{\text{CS}}$ ) an die zweite Speicherschaltung (5) angelegt wird, so dass abhängig von dem Schaltungsauswahlsignal die Funktion in der ersten oder in der zweiten Speicherschaltung (2,5) ausgelöst wird.

25 Figur 3

Fig. 3

Figur für die Zusammenfassung



## Bezugszeichenliste

1	Testereinrichtung
2	Speicherbaustein
5 3	Signalleitungen
4	Testdatengeneratorschaltung
5	Zweiter Speicherbaustein
6	Speicherzellenfeld
7	Inverter

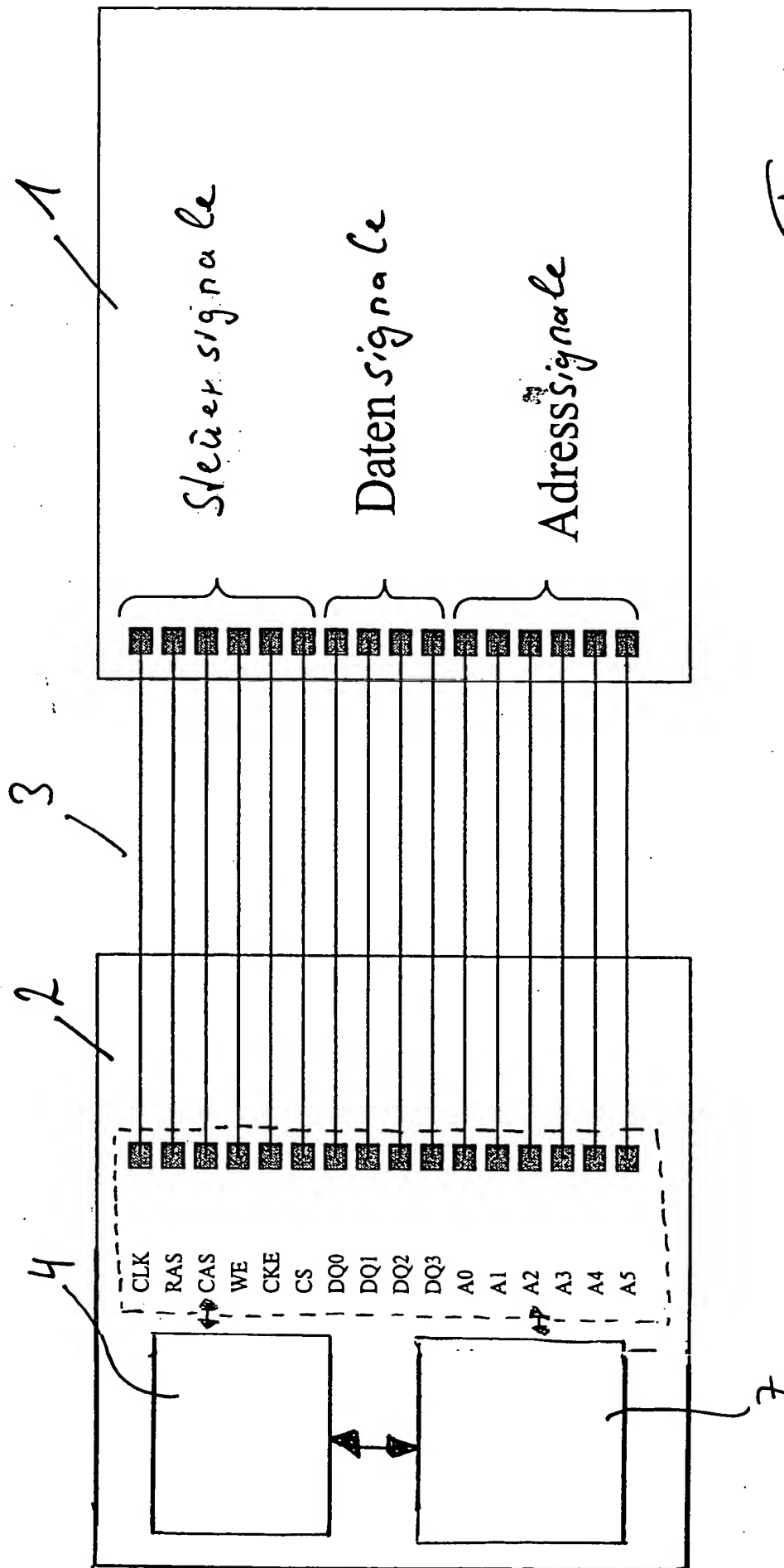


Fig. 1



Fig. 2

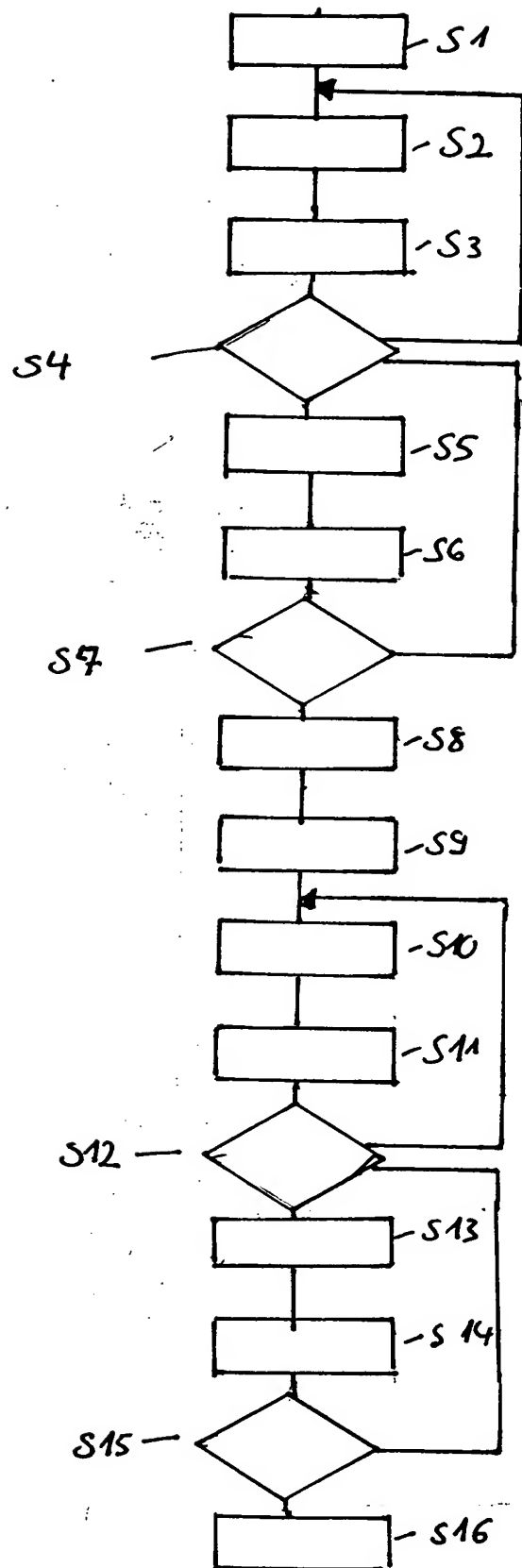


Fig. 3

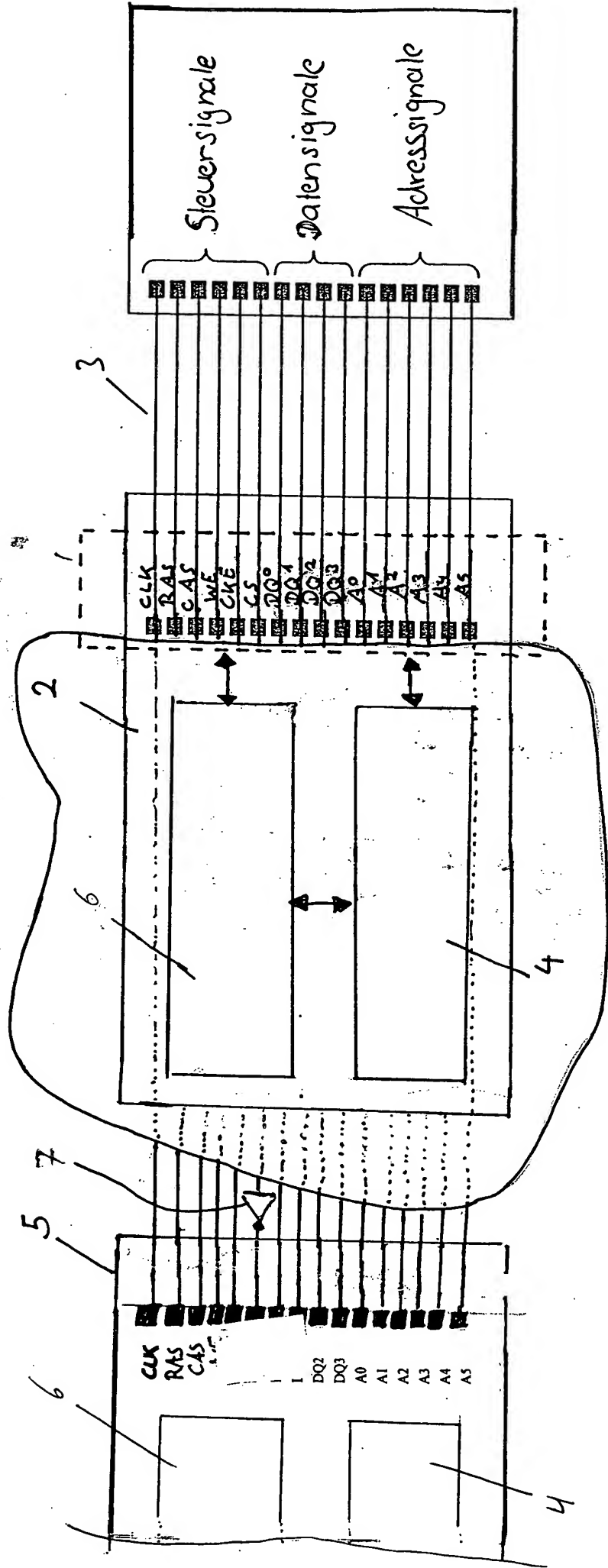


Fig. 4

